

1/5/2 (Item 2 from file: 351)

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

015337183 \*\*Image available\*\*

WPI Acc No: 2003-398120/ 200338

XRAM Acc No: C03-106144

XRPX Acc No: N03-318035

**Semiconductor device e.g. silicon-on-insulator MOSFET has gate electrode whose height is equal to that of end grooves, arranged in groove formed by etching center portion of oxide and silicon films**

Patent Assignee: NEC CORP (NIDE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003115592	A	20030418	JP 2001308189	A	20011004	200338 B

Priority Applications (No Type Date): JP 2001308189 A 20011004

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2003115592	A		14	H01L-029/786	

Abstract (Basic): JP 2003115592 A

NOVELTY - The semiconductor device has end grooves (21) formed by etching the end portions of the oxide and silicon films (12,13) which are formed sequentially on a substrate (11). A flush mounting nitridation material (15) is filled in each groove. A gate electrode whose height is equal to that of the end grooves, is arranged in the groove which is formed by etching the center portion of the oxide and silicon films.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a semiconductor device manufacturing method.

USE - Semiconductor device e.g. silicon-on-insulator MOSFET.

ADVANTAGE - The semiconductor device has reduced electric current leakage, excellent characteristics and improved stability.

DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view of the semiconductor device. (Drawing includes non-English language text).

substrate (11)  
oxide film (12)  
silicon film (13)  
flush mounting nitridation material (15)  
end grooves (21)  
pp; 14 DwgNo 1/17

Title Terms: SEMICONDUCTOR; DEVICE; SILICON; INSULATE; MOSFET; GATE;

ELECTRODE; HEIGHT; EQUAL; END; GROOVE; ARRANGE; GROOVE; FORMING; ETCH;

PORTION; OXIDE; SILICON; FILM

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): H01L-021/336; H01L-021/76;

H01L-021/762; H01L-027/08

File Segment: CPI; EPI

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-115592

(P2003-115592A)

(43)公開日 平成15年4月18日(2003.4.18)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 29/786		H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
21/336			3 3 1 E 5 F 0 4 8
21/76		29/78	6 2 1 5 F 1 1 0
21/762		21/76	D
27/08	3 3 1	29/78	6 2 7 A
審査請求 未請求 請求項の数15 O L (全 14 頁) 最終頁に続く			

(21)出願番号 特願2001-308189(P2001-308189)

(22)出願日 平成13年10月4日(2001.10.4)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 李 ジョンウー

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 黄 俐昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096253

弁理士 尾身 祐助

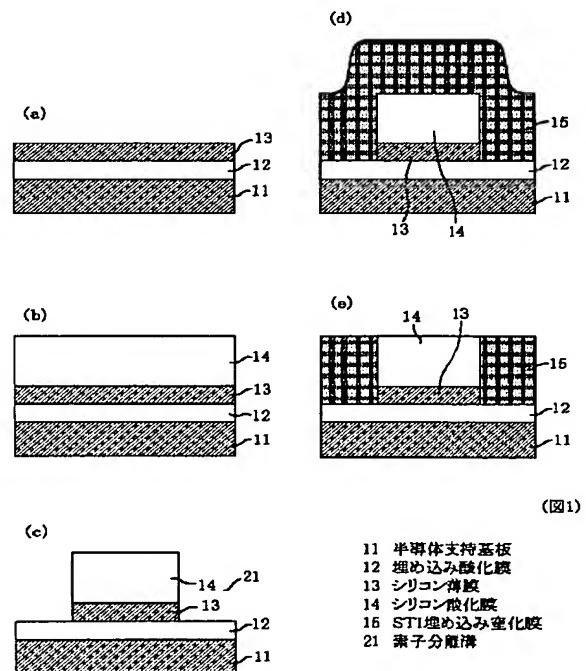
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 S O I 基板の上に製作されるM O S F E T において、リーク電流を抑制した素子分離構造を持つ、半導体装置の製造方法を提供する。

【解決手段】 S O I 半導体基板上に酸化膜14を堆積した後に、酸化膜14とシリコン薄膜13とのエッチングを行ない素子分離溝21を形成する〔(c)〕。S T I 埋め込み窒化膜15により素子分離溝21を埋設した後に、酸化膜14とS T I 埋め込み窒化膜15の上端部分を平坦化する〔(e)〕。ウェットエッチングにより酸化膜14を除去する〔(f)〕。その後、熱処理によりゲート酸化膜を形成し、続いて第1のゲート材料を堆積する。次に、S T I 埋め込み窒化膜15と第1のゲート材料の上端部分を平坦化する。さらに、第2のゲート材料を堆積した後に、パターニングを行ってゲート電極を形成する。その後、ソース・ドレイン領域を形成する。



## 【特許請求の範囲】

【請求項1】 絶縁膜上に埋設絶縁膜によって充填された素子分離溝により分離された島状のシリコン薄膜が形成され、該シリコン薄膜上にゲート絶縁膜を介してゲート電極が形成されている半導体装置において、前記埋設絶縁膜の表面が平坦でその高さが前記ゲート電極の表面高さにほぼ等しく、かつ、前記埋設絶縁膜が酸化膜用エッチング材に対して耐性の高い材料により形成されていることを特徴とする半導体装置。

【請求項2】 絶縁膜上に埋設絶縁膜によって充填された素子分離溝により分離された島状のシリコン薄膜が形成され、該シリコン薄膜上にゲート絶縁膜を介してゲート電極が形成されている半導体装置において、前記埋設絶縁膜の表面が平坦でその高さが前記ゲート電極の表面高さにほぼ等しく、かつ、前記埋設絶縁膜の前記シリコン薄膜寄りの部分が、その頂上高さが前記ゲート電極の表面高さにほぼ等しい酸化膜用エッチング材に対して耐性の高い材料により形成されたスペーサ膜により構成されていることを特徴とする半導体装置。

【請求項3】 絶縁膜上に埋設絶縁膜によって充填された素子分離溝により分離された島状のシリコン薄膜が形成され、該シリコン薄膜上にゲート絶縁膜を介してゲート電極が形成されている半導体装置において、前記埋設絶縁膜の表面が平坦でその高さが前記ゲート電極の表面高さにほぼ等しく、かつ、前記埋設絶縁膜の底面および側面部分が酸化膜用エッチング材に対して耐性の高い材料により形成されていることを特徴とする半導体装置。

【請求項4】 前記シリコン薄膜と前記埋設絶縁膜との接触部にシリコン酸化膜が形成されていることを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記ゲート電極に接続されたゲート配線が前記埋設絶縁膜上に延在しており、前記ゲート電極および前記ゲート配線が平坦化用酸化膜内に埋め込まれていることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記酸化膜用エッチング材に対して耐性の高い材料が窒化シリコンであることを特徴とする請求項1～5のいずれかに記載の半導体装置。

【請求項7】 半導体支持基板、埋め込み酸化膜およびシリコン薄膜を有するSOI基板上に埋設絶縁膜によって充填された素子分離溝により分離されたMOSFETを有する半導体装置の製造方法において、(1)前記シリコン薄膜上に厚膜材料層を形成する工程と、(2)前記厚膜材料層および前記シリコン薄膜を選択的にエッチングして素子分離溝を形成する工程と、(3)酸化膜用エッチング材に対して耐性の強い絶縁性材料により前記素子分離溝を埋設する工程と、(4)前記素子分離溝を埋設する絶縁性材料の膜を平坦化する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項8】 前記厚膜材料層がシリコン酸化膜であって、前記第(4)の工程の後、前記厚膜材料層が除去さ

れ、ゲート絶縁膜形成後にゲート電極形成材料層が堆積されることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記厚膜材料層が、ゲート絶縁膜、薄い薄膜ゲート電極形成材料層およびシリコン酸化膜によって形成され、前記第(4)の工程の後、前記シリコン酸化膜が除去され、ゲート電極形成材料層が堆積されることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項10】 前記第(2)の工程の後前記第(3)の工程に先立って前記シリコン薄膜の側面にシリコン酸化膜を形成する工程が付加されることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記厚膜材料層が、ダミーゲート絶縁膜、ダミーゲート電極形成材料層によって形成され、前記第(4)の工程の後、ダミーゲート配線形成材料層が形成され、前記ダミーゲート電極形成材料層および前記ダミーゲート配線形成材料層のパターニングが行われ、前記ダミーゲート電極形成材料層および前記ダミーゲート配線形成材料層を埋め込む平坦化膜の形成後に、前記ダミーゲート電極形成材料層および前記ダミーゲート配線形成材料層の除去が行われ、その後、前記平坦化膜に埋め込まれたゲート電極およびゲート配線が形成されることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項12】 半導体支持基板、埋め込み酸化膜およびシリコン薄膜を有するSOI基板上に埋設絶縁膜によって充填された素子分離溝により分離されたMOSFETを有する半導体装置の製造方法において、(1)前記シリコン薄膜上にゲート絶縁膜とゲート電極形成材料層とを形成する工程と、(2)前記ゲート電極形成材料層、前記ゲート絶縁膜および前記シリコン薄膜を選択的にエッチングして素子分離溝を形成する工程と、(3)酸化膜用エッチング材に対して耐性の高い絶縁性材料により前記素子分離溝の側面に側面スペーサを形成する工程と、(4)埋設用絶縁性材料により前記素子分離溝を埋設する工程と、(5)前記素子分離溝を埋設する埋設用絶縁性材料の膜を平坦化する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項13】 半導体支持基板、埋め込み酸化膜およびシリコン薄膜を有するSOI基板上に埋設絶縁膜によって充填された素子分離溝により分離されたMOSFETを有する半導体装置の製造方法において、(1)前記シリコン薄膜上にゲート絶縁膜とゲート電極形成材料層とを形成する工程と、(2)前記ゲート電極形成材料層厚膜材料層、前記ゲート絶縁膜および前記シリコン薄膜を選択的にエッチングして素子分離溝を形成する工程と、(3)酸化膜用エッチング材に対して耐性の高い絶縁性材料を前記素子分離溝の深さより小さい膜厚に堆積して耐エッチング性膜を形成する工程と、(4)埋設用絶縁性材料により前記素子分離溝を埋設する工程と、

10

20

30

40

50

3

(5) 前記素子分離溝を埋設する埋設用絶縁性材料の膜および前記耐エッチング性膜に平坦化处理を施して前記ゲート電極形成材料層の表面を露出させる工程と、を有することを特徴とする半導体装置の製造方法。

【請求項14】 前記平坦化の工程の後、直ちに若しくはゲート配線形成材料層の形成後に、前記ゲート電極形成材料層、または、前記ゲート電極形成材料層および前記ゲート配線形成材料層のパターニングが行われることを特徴とする請求項8、9、10、12または13記載の半導体装置の製造方法。

【請求項15】 前記酸化膜用エッチング材に対して耐性の高い絶縁性材料が窒化シリコンであることを特徴とする請求項7～14のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に絶縁層を介して形成された半導体層を有するSOI (Silicon On Insulator) 基板を用いた半導体装置の構造およびその製造方法に関し、特に素子分離膜によって絶縁分離されたMOSFET (Metal Oxide Semiconductor Field Effect Transistor) を有する半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】半導体支持基板上に絶縁層を介してシリコン薄膜を有するSOI基板をMOSFET (以下、SOI-MOSFETと略記する) に適用すると、ソース領域やドレイン領域下に絶縁膜が形成されているためにソース・ドレイン領域に係る寄生容量を通常のバルク基板の場合よりも小さくすることが可能となる。したがって、素子の高速化に有利となることから現在活発に研究開発が進められている。このSOI基板を用いた場合、素子の下層が絶縁膜で形成されているために、素子間をSTI (Shallow Trench Isolation) 等のトレンチ分離技術によって分離する場合には、素子間を完全に電気的に絶縁することが可能となる。従来より、この種のSTI法は微細な半導体素子間分離構造を形成するために用いられている。

【0003】以下に、SOI-MOSFETの二、三の従来例について説明する。図13(a)から図14

(h)は、STI法を適用した第1の従来例の工程順断面図である。半導体支持基板51、埋め込み酸化膜52、および膜厚が100nm以上のシリコン薄膜53により構成されているSOI半導体基板[図13(a)]上に、まず、シリコン酸化膜54およびシリコン窒化膜55を化学気相堆積 (Chemical Vapor Deposition; 以下、CVD) 法を用いて形成する[図13(b)]。次に、素子領域に該当する部分を除くシリコン窒化膜55、シリコン酸化膜54およびシリコン薄膜53をエッチング除去して、素子分離溝59を形成する[図13

4

(c)]。その後、素子分離溝59を埋め込むSTI埋め込み酸化膜56を堆積した[図13(d)]後、化学機械研磨 (Chemical Mechanical Polishing; 以下、CMP) 法を用いて、STI埋め込み酸化膜56を研磨して、シリコン窒化膜55を表面に露出させる。このとき、STI埋め込み酸化膜56よりも研磨速度の遅いシリコン窒化膜55がストッパーとして作用して、平坦化された表面が形成される[図14(e)]。次に、熱リン酸によりシリコン窒化膜55を、続いて、フッ酸によりシリコン酸化膜54を除去する[図14(f)]。次に、ゲート酸化膜57を形成し、ゲート電極となるゲート材料58を堆積する[図14(g)]。その後は、ゲート材料58のパターニングを行なってゲート電極58aを形成し[図14(h)]、ソース・ドレイン領域の形成等の工程を経て、SOI-MOSFETの作製工程が完了する。

【0004】図15は、特開平8-213494号公報に開示されたSOI-MOSFET (以下、第2の従来例) の断面図である。この従来例は、MOSFETを形成するSOI半導体基板上のシリコン薄膜53の側壁部分にシリコン薄膜の上面よりも高く形成された絶縁膜を持つ、いわゆるMESA型の分離形状を有する素子分離構造に関する。半導体支持基板51上に、埋め込み酸化膜52が形成され、さらに、100nm程度の膜厚のシリコン薄膜53が形成される。また、シリコン薄膜53の側壁には、20nmの膜厚のシリコン窒化膜60が形成される。さらに、シリコン窒化膜60の側壁部分には、シリコン薄膜53よりも上部に突出したシリコン酸化膜61が形成されている。一方、シリコン薄膜53上には、ゲート酸化膜57、およびゲート材料58が形成される構成をとっている。このように、シリコン薄膜53の側壁部分がシリコン窒化膜60により覆われた構造となっているために、シリコン薄膜53上端部分におけるリーク電流の発生や絶縁破壊の発生を防止できるという長所を有している。

【0005】次に、第3の従来例の製造方法について、図16(a)から図17(j)の工程順断面図を参照して説明する。この従来例は、ゲート形成に開口を設けた後にゲート材料をゲート形成領域に埋め込んで形成するダマシン(damascene)ゲートプロセスを用いた場合の半導体装置の製造方法である。半導体支持基板51、埋め込み酸化膜52、膜厚が100nm以上のシリコン薄膜53により構成されているSOI半導体基板[図16

(a)]上に、シリコン酸化膜54、およびシリコン窒化膜55を順次堆積する[図16(b)]。次に、素子領域に該当する部分を除き、シリコン窒化膜55、シリコン酸化膜54およびシリコン薄膜53を選択的にエッチングして、素子分離溝59を形成する[図16

(c)]。その後、全体にSTI埋め込み酸化膜56を堆積して、素子分離溝59を埋め込んだ後[図16

10

20

30

40

50

5

(d) ] に、CMP法により、STI埋め込み酸化膜56をシリコン窒化膜55が表面に露出するまで研磨する[図16(e)]。このとき、STI埋め込み酸化膜56よりも研磨速度の遅いシリコン窒化膜55が研磨工程においてストッパーとして作用し、上端部分が平坦化された構造が形成される。

【0006】続いて、熱リン酸、フッ酸等を用いてシリコン薄膜53上の、シリコン窒化膜55およびシリコン酸化膜54を除去する[図17(f)]。次に、シリコン薄膜53の表面の熱酸化を行なってダミーゲート酸化膜67を形成した後に、例えば、シリコン窒化膜または多結晶シリコン膜を堆積した後に、パターニングしてダミーゲート68を形成する[図17(g)]。そして、ソース・ドレイン領域を形成する。次に、平坦化用酸化膜70を堆積した後、CMP法によりダミーゲート68が露出するまで研磨して、上端部分を平坦化する[図17(h)]。次に、図17(i)に示すように、ダミーゲート68およびダミーゲート酸化膜67を除去する。この工程において、フッ酸によりダミーゲート酸化膜67のウェットエッチングを行なう際には、STI埋め込み酸化膜56も同時にサイドエッチングされる。続いて、熱酸化などによりシリコン薄膜53の表面にゲート酸化膜57を形成し、ダミーゲート68を除去した領域にゲート電極58aを埋設し[図17(j)]、SOI-MOSFETを形成する。

【0007】

【発明が解決しようとする課題】従来技術の問題点の一つは、シリコン薄膜の膜厚が薄くなると、STI法やダマシゲートプロセス法により形成された薄膜SOIトランジスタの電気特性で、サブスレッショルド領域でのリーク電流が大きくなることである。その結果、低電圧化および高速化動作を目的とした薄膜SOIトランジスタ装置の製造が困難になっていた。その理由を以下に説明する。

【0008】第1、第3の従来例では、シリコン窒化膜55を熱リン酸により、引き続き、シリコン酸化膜54をフッ酸によりエッチング除去するが、このときシリコン薄膜53の側面を覆うSTI埋め込み酸化膜56の一部も除去されてしまう[図14(f)、図17

(f)]。第3の従来例ではその後ダミーゲート酸化膜67をフッ酸によりエッチング除去する際にも、STI埋め込み酸化膜56の一部が除去される[図17

(i)]。このようにSTI埋め込み酸化膜56が1ないし複数回のフッ酸処理をうけることにより、ゲート酸化膜57が形成される直前には、素子分離溝を埋め込むSTI埋め込み酸化膜56の上端部分が素子領域表面高さよりも低くなる。

【0009】このとき、特に、シリコン薄膜53の膜厚を100nmよりも薄くした場合には、シリコン薄膜53の下部にある埋め込み酸化膜52が露出してしまい、シリ

6

コン薄膜53の下端部が露出する可能性もあった。たとえば、埋め込み酸化膜52が露出しないにしても、後の工程において、ゲート酸化膜57およびゲート材料58の形成を行うと、素子領域表面よりも素子間分離領域の高さが部分的に低下してしまい、ゲート電極58aを形成すると、ゲート電極が素子端領域部に回り込む異常形状62が発生する[図14(h)、図17(j)]。

【0010】このような異常形状62が発生すると、トランジスタの動作時に異常形状62にゲート電界が集中することにより、異常形状近辺のシリコン薄膜53に寄生のトランジスタが形成される。したがって、ゲート電圧が低いサブスレッショルド領域でドレイン電流特性が隆起するハンプ(hump)特性が観測されるなどの電流・電圧特性の異常が発生したり、トランジスタのゲート幅が短くなると、素子のしきい値が低下する逆狭チャネル効果が現れるなどの問題が生じる。特に、ドレイン電流のハンプ特性は素子のリーク電流の増加を意味する。さらに、回路特性の向上を目的として素子のゲート長さを縮小する時、SOIトランジスタの場合にはシリコン膜厚も同じ比率だけ縮小する必要があるため、上記の異常形状がさらに顕著となり、その結果、リーク電流がさらに増加することになる。

【0011】シリコン薄膜の側面にMESA型の絶縁膜を有する第2の従来例においては、シリコン薄膜53とゲート酸化膜57の側壁部分は窒化膜で覆われている構造となっており(図15)、先に述べた異常形状の問題は発生しない。しかしながら、第2の従来例ではシリコン薄膜53の周囲に大きな段差が発生している。したがって、ゲート配線の形成工程において段差分のオーバーエッチングが必要であったり、または、段差部分にゲート配線材料の残りが生じやすくなるなどの工程上の不具合が生じる可能性がある。特に、ゲート配線材料の残りは、ゲート電極間同士、または、ゲート電極とソース・ドレイン領域間における電氣的短絡の原因にもなる。また、シリコン酸化膜61の突起部においてゲート材料の膜厚が薄くなりやすく断線の可能性が高くなる。本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、第1に、シリコン膜が100nm以下の薄いSOIトランジスタからなる半導体装置においても、寄生トランジスタの形成されない、また、リーク電流を抑制することのできる、素子間分離構造およびその製造方法を提供することであり、第2に、ゲート材料のパターニング時にオーバーエッチングの必要をなくすと共に、ゲート電極・配線の短絡/断線を防止できるようにすることである。

【0012】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、絶縁膜上に埋設絶縁膜によって充填された素子分離溝により分離された島状のシリコン薄膜が形成され、該シリコン薄膜上にゲート絶縁膜を介し

てゲート電極が形成されている半導体装置において、前記埋設絶縁膜の表面が平坦でその高さが前記ゲート電極の表面高さにはほぼ等しく、かつ、前記埋設絶縁膜が酸化膜用エッチング材に対して耐性の高い材料により形成されていることを特徴とする半導体装置、が提供される。前記酸化膜用エッチング材に対して耐性の高い材料の膜は、前記埋設絶縁膜の側面部分のみに形成されていてもよい。そして、好ましくは、前記シリコン薄膜と前記埋設絶縁膜との接触部にシリコン酸化膜が形成されている。さらに、好ましくは、前記酸化膜用エッチング材に対して耐性の高い材料が窒化シリコンである。

【0013】また、上記の目的を達成するため、本発明によれば、半導体支持基板、埋め込み酸化膜およびシリコン薄膜を有するSOI基板上に埋設絶縁膜によって充填された素子分離溝により分離されたMOSFETを有する半導体装置の製造方法において、(1)前記シリコン薄膜上に厚膜材料層を形成する工程と、(2)前記厚膜材料層および前記シリコン薄膜を選択的にエッチングして素子分離溝を形成する工程と、(3)酸化膜用エッチング材に対して耐性の高い絶縁性材料により前記素子分離溝を埋設する工程と、(4)前記素子分離溝を埋設する絶縁性材料の膜を平坦化する工程と、を有することを特徴とする半導体装置の製造方法、が提供される。

【0014】また、上記の目的を達成するため、本発明によれば、半導体支持基板、埋め込み酸化膜およびシリコン薄膜を有するSOI基板上に埋設絶縁膜によって充填された素子分離溝により分離されたMOSFETを有する半導体装置の製造方法において、(1)前記シリコン薄膜上にゲート絶縁膜とゲート電極形成材料層とを形成する工程と、(2)前記ゲート電極形成材料層厚膜材料層、前記ゲート絶縁膜および前記シリコン薄膜を選択的にエッチングして素子分離溝を形成する工程と、

(3)酸化膜用エッチング材に対して耐性の高い絶縁性材料により前記素子分離溝の側面に側面スペーサを形成する工程と、(4)埋設用絶縁性材料により前記素子分離溝を埋設する工程と、(5)前記素子分離溝を埋設する埋設用絶縁性材料の膜を平坦化する工程と、を有することを特徴とする半導体装置の製造方法、が提供される。さらに、上記の目的を達成するため、本発明によれば、半導体支持基板、埋め込み酸化膜およびシリコン薄膜を有するSOI基板上に埋設絶縁膜によって充填された素子分離溝により分離されたMOSFETを有する半導体装置の製造方法において、(1)前記シリコン薄膜上にゲート絶縁膜とゲート電極形成材料層とを形成する工程と、(2)前記ゲート電極形成材料層厚膜材料層、前記ゲート絶縁膜および前記シリコン薄膜を選択的にエッチングして素子分離溝を形成する工程と、(3)酸化膜用エッチング材に対して耐性の高い絶縁性材料を前記素子分離溝の深さより小さい膜厚に堆積して耐エッチング性膜を形成する工程と、(4)埋設用絶縁性材料によ

り前記素子分離溝を埋設する工程と、(5)前記素子分離溝を埋設する埋設用絶縁性材料の膜および前記耐エッチング性膜に平坦化处理を施して前記ゲート電極形成材料層の表面を露出させる工程と、を有することを特徴とする半導体装置の製造方法、が提供される。

#### 【0015】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して詳細に説明する。

(実施の形態1)図1(a)から図2(k)は本発明の実施の形態1における製造方法を示す工程順断面図である。図1(a)に示すように、SOI半導体基板は、半導体支持基板11、埋め込み酸化膜12およびシリコン薄膜13により構成されている。このときシリコン薄膜13の膜厚は、望ましくは、100nmから200nmであるが、100nm以下であっても充分使用することができる。まず、シリコン薄膜13の上に、シリコン酸化膜14を50nmから200nmの膜厚になるように堆積する[図1

(b)]。次に、このシリコン酸化膜14の表面上の素子形成領域となるべき部分にレジストなどのマスクを用いて保護して、シリコン酸化膜14およびシリコン薄膜13のエッチングを行ない、素子分離溝21を形成する[図1(c)]。次に、STI埋め込み窒化膜15を、シリコン酸化膜14とシリコン薄膜13の段差よりも厚くなるように堆積して、素子分離溝21を埋設する[図1(d)]。

【0016】次に、CMP法により所定の量のSTI埋め込み窒化膜15を研磨した後に、プラズマエッチング法によりシリコン酸化膜14が表面に露出するまでSTI埋め込み窒化膜15をエッチングして、上端部分が平坦化された構造を形成する[図1(e)]。なお、ここではCMP法およびプラズマエッチング法を用いる工程を説明したが、これに限るものではなく、平坦化できる方法であれば、例えば、CMP法だけでも構わない。続いて、フッ酸によりシリコン薄膜13の上のシリコン酸化膜14を除去する[図1(f)]。次に、シリコン薄膜13の上にゲート酸化膜17を形成し、ゲート電極となる第1のゲート材料18を堆積する[図2

(g)]。ここで、このゲート酸化膜17の材料は酸化膜に限ったものではなく、窒化した酸窒化膜など他の材料であっても構わない(他の実施の形態についても同様である)。また、第1のゲート材料18としては、多結晶シリコン膜等を使用することができる。その後、CMP法により、STI埋め込み窒化膜15上の第1のゲート材料18を研磨して、上端部分の平坦化を行う[図2(h)]。この後に、CVD法を用いて第2のゲート材料19を、例えば、50nmから200nmの膜厚になるように形成する[図2(i)]。続いて、第1および第2のゲート材料18、19のパターニングを行ってゲート電極18a、ゲート配線19aを形成し、ソース・ドレイン領域20を形成する[図2(j)、(k)]。なお、図



2 (j) はゲート長方向の断面図であり、また、図 2 (k) はゲート幅方向の断面図である。

【0017】ここで、図 2 (g) においては、第 1 のゲート材料 18 を CMP 法により研磨する方法により説明したが、この限りではない。たとえば、第 1 のゲート材料 18 を平坦化することなく加工した後に、ゲート電極を形成することも可能である。この場合には、第 2 のゲート材料 19 は用いる必要はない。この方法においては、シリコン薄膜 13 の側壁部分がエッチング耐性の高い STI 埋め込み窒化膜 15 により覆われた構造をとっている。したがって、シリコン酸化膜 14 をフッ酸などによりエッチングして除去する工程において [図 2

(f)]、シリコン薄膜 13 の側壁が露出することはない。そのため、従来例において生じたような異常形状が発生することがなく、その結果、リーク電流の増加のない安定したトランジスタ動作が可能となる。また、第 2 のゲート材料 19 は、平坦面に形成されるため、エッチング残りの発生により短絡が生じたり、膜厚が薄くなることにより断線が発生したりすることがなくなる。

【0018】(実施の形態 2) 次に、本発明の実施の形態 2 における製造方法を、図 3 (a) から図 4 (j) の工程順断面図を参照して説明する。半導体支持基板 11 上に、埋め込み酸化膜 12 とシリコン薄膜 13 が形成された、実施の形態 1 と同じ SOI 半導体基板を用意する [図 3 (a)]。この基板上に、まずゲート酸化膜 17、第 1 のゲート材料 18、続いてシリコン酸化膜 14 を順次堆積する [図 3 (b)]。なお、このときの膜厚としては、ゲート酸化膜 17 が 2nm 程度、第 1 のゲート材料 18 が 20nm から 100nm、シリコン酸化膜 14 が 50nm から 200nm になるように堆積することが望ましい。また、第 1 のゲート材料 18 には多結晶シリコンを使用することができる。次に、シリコン酸化膜 14、第 1 のゲート材料 18、ゲート酸化膜 17、およびシリコン薄膜 13 を素子領域に該当する部分のみを残存させ、その領域以外のエッチング加工を行い、素子分離溝 21 を形成する [図 3 (c)]。次に、シリコン酸化膜 14、第 1 のゲート材料 18、ゲート酸化膜 17、およびシリコン薄膜 13 の段差よりも厚くなるように、STI 埋め込み窒化膜 15 を堆積することにより、素子分離溝 21 を埋設させる [図 3 (d)]。その後、CMP 法により所定の量の STI 埋め込み窒化膜 15 を研磨した後に、プラズマエッチング法によりシリコン酸化膜 14 が表面に露出するまで STI 埋め込み窒化膜 15 をエッチングして、上端部分を平坦化する [図 3 (e)]。なお、ここでは、平坦化を CMP 法とプラズマエッチング法により行なう工程を示したが、これに限るものではなく、平坦化できるものであればどのような方法であっても、例えば、CMP 法だけにより加工しても問題ない。続いて、フッ酸を用いて第 1 のゲート材料 18 上のシリコン酸化膜 14 を除去する [図 4 (f)]。

【0019】次に、ゲート電極となる第 2 のゲート材料 19 を、望ましくは 50nm から 200nm の厚さになるように堆積し、図 4 (g) に示した構造を形成する (ここで第 1 のゲート材料 18 は図示していない)。なお、第 2 のゲート材料 19 には、例えば、多結晶シリコンを使用することができる。その後、CMP 法により STI 埋め込み窒化膜 15 上の第 2 のゲート材料 19 を研磨して、上端部分の平坦化を行う [図 4 (h)]。次に、CVD 法により第 3 のゲート材料 30 を、例えば、50nm から 200nm の膜厚になるように形成し [図 4 (i)]、第 3、第 2 および第 1 のゲート材料 30、19 および 18 (18 は図示なし) のパターニングを行ってゲート電極 19 b、ゲート配線 30 a を形成し、ソース・ドレイン領域 20 を形成する [図 4 (j)]。本発明の実施の形態 2 では、実施の形態 1 と同様に、シリコン薄膜 13 の側壁部分が、STI 埋め込み窒化膜 15 で保護される構成をとっているためにフッ酸処理によって異常形状が発生することはない。また、シリコン薄膜 13 の上部端面は、素子間分離工程前に形成されたゲート酸化膜 17、および第 1 ゲート材料 18 により覆われている [図 3 (b)]。その結果、後の工程においてシリコン酸化膜 14 をフッ酸によりウェットエッチングする時 [図 4 (f)]、シリコン薄膜 13 の表面が損傷されることは防止される。このことは、高移動度の表面チャンネル素子の製造が可能になるという利点がある。なお、シリコン酸化膜 14 の除去がドライエッチングにより行われても、同様の効果が得られる。

【0020】(実施の形態 3) 次に、本発明の実施の形態 3 における製造方法について、図 5 (a) から図 6 (j) の工程順断面図を参照して説明する。まず、半導体支持基板 11、埋め込み酸化膜 12 およびシリコン薄膜 13 からなる SOI 半導体基板 [図 5 (a)] 上に、ゲート酸化膜 17、および、例えば、多結晶シリコン膜よりなる第 1 のゲート材料 18 を形成した後に、シリコン酸化膜 14 を堆積する [図 5 (b)]。このときの膜厚としては、ゲート酸化膜 17 は約 2nm、第 1 のゲート材料 18 は 50nm から 200nm、シリコン酸化膜 14 は 50nm から 200nm にすることが望ましい。次に、素子領域に該当する部分を除くシリコン酸化膜 14、第 1 のゲート材料 18、ゲート酸化膜 17 およびシリコン薄膜 13 をエッチング除去して、素子分離溝 21 を形成する [図 5 (c)]。次に、シリコン薄膜 13 の側面に熱酸化法により望ましくは 5nm から 50nm の膜厚のパウァー酸化膜 23 を形成した後、STI 埋め込み窒化膜 15 を堆積する [図 5 (d)]。なお、この工程においては、第 1 のゲート材料 18 として多結晶シリコン膜を使用した場合には、第 1 のゲート材料 18 の側壁部分もシリコン薄膜 13 の側壁部分と同様に酸化されて酸化膜が形成される (図示は省略)。続いて、CMP 法により一定の量の STI 埋め込み窒化膜 15 を研磨した後、プラズマエッチ



11

ング法を用いてシリコン酸化膜14が表面に露出するまでSTI埋め込み窒化膜15をエッチングして上端部分が平坦化された構造を形成する[図5(e)]。なお、ここでは、CMP法とプラズマエッチング法により加工する工程について説明したが、これに限定されるものではなく、平坦化できる限り、例えば、CMP法だけでも加工することも可能である。続いて、フッ酸により第1のゲート材料18上のシリコン酸化膜14を除去する[図6(f)]。このフッ酸処理において、第1のゲート材料18として多結晶シリコンを使用するとき、第1のゲート材料18の側壁部分に形成された酸化膜(図示されず)が除去されて、第1のゲート材料18の下部にあるゲート酸化膜17、さらにはバッファ酸化膜23まで損傷される可能性がある。したがって、オーバーエッチングが生じないようにエッチング条件を十分に制御する必要がある。また、第1のゲート材料18の膜厚をあらかじめ充分な厚さに設定しておくことも一つの方法である。たとえ、多結晶シリコン側壁部分に形成された酸化膜がエッチングされたとしても、シリコン薄膜13の側壁部分のバッファ酸化膜23まで損傷されないように制御することもできるからである。

【0021】次に、ゲート電極となる第2のゲート材料19、例えば、多結晶シリコン膜を望ましくは50nmから200nmの厚さに堆積する[図6(g)](なお、ここで第1のゲート材料18は図示していない。)。その後、CMP法により、STI埋め込み窒化膜15上の第2のゲート材料19を研磨して、図6(h)に示すように上端部分の平坦化を行う。この後、CVD法により、第3のゲート材料30を、例えば、50nmから200nmの膜厚になるように形成する[図6(i)]。次に、ゲート材料30、19および18(18は図示せず)のパターニングを行ってゲート電極19b、ゲート配線30aを形成し、ソース・ドレイン領域20を形成する[図6(j)]。この方法においても、第1の実施の形態と同様に、図6(g)および図6(h)において説明した、第2のゲート材料19のCMPによる平坦化工程を省略することは可能である。(このときは、第3のゲート材料が不要になる。)本発明の実施の形態3は実施の形態2とほぼ同等の形態であるため、実施の形態2と同様の効果を示す。異なる点は、STI埋め込み窒化膜15を堆積する前にバッファ酸化膜23が形成されている点である。したがって、実施の形態2における効果のほかにも、つぎの効果を持つ。すなわち、このバッファ酸化膜23が、STI埋め込み窒化膜15とシリコン薄膜13との境界面に存在することにより、STI埋め込み窒化膜15により発生するシリコン薄膜13のストレスを緩和することができる。この結果、素子領域端において発生するストレスによるリーク電流を抑制できる。

【0022】(実施の形態4)次に、本発明の実施の形態4について、図7(a)から図8(i)の工程順断面

12

図を参照して説明する。まず、半導体支持基板11、埋め込み酸化膜12およびシリコン薄膜13を有するSOI半導体基板[図7(a)]の上に、ゲート酸化膜17を、続いて、望ましくは50nmから200nmの膜厚の、例えば、多結晶シリコン膜よりなる第1のゲート材料18を堆積する[図7(b)]。次に、第1のゲート材料18、ゲート酸化膜17およびシリコン薄膜13を、素子領域に該当する部分を除き、エッチング除去して、素子分離溝21を形成する[図7(c)]。続いて、シリコン窒化膜16をCVD法により、望ましくは100nmから200nmの膜厚になるように堆積した[図7(d)]後、異方性のプラズマエッチングによりエッチングしてスペーサー窒化膜16aを形成する[図7(e)]。この後、素子分離溝21にSTI埋め込み酸化膜22を埋設し[図8(f)]、続いて、CMP法により第1のゲート材料18が表面に現れるまで研磨を行ない上端部分を平坦化する[図8(g)]。なお、この研磨工程にはスペーサー窒化膜16aを研磨ストッパーとして作用させて、STI埋め込み酸化膜22を研磨する。

【0023】次に、CVD法を用いて第2のゲート材料19を、例えば、50nmから200nmの膜厚に形成する[図8(h)]。続いて、第2のゲート材料19および第1のゲート材料18のパターニングを行ってゲート電極18aとゲート配線19aとを形成し、ソース・ドレイン領域20を形成する[図8(i)]。この方法は、STIの埋め込み材料として酸化シリコンを使用している点でこれまでの実施の形態と異なる。酸化シリコンは、CMP法において加工性にすぐれるという利点を有している。また、この方法は、スペーサー窒化膜16aによりシリコン薄膜13の側壁部分が保護される構成をとっている。したがって、第1の従来例および第3の従来例に見られたようなフッ酸等による異常形状は発生しない。さらに、本実施の形態は、シリコン薄膜の横にスペーサー窒化膜16aと、さらにその横に酸化膜を有する点で、第2の従来例に示したMESA型分離形状と類似の構造をとっている。しかし、工程の途中において第1のゲート材料18とSTI埋め込み酸化膜22とが平坦化されているため[図8(g)]、従来例のようにゲート材料のオーバーエッチングを行う必要がない。また、ゲート電極を作製する時にエッチングの残りが生じることもないため、電氣的な短絡も生じない。本実施の形態においても、実施の形態3のように素子領域を島状に形成した後[図7(c)]、熱処理を行ってシリコン薄膜13などの側面にバッファ酸化膜を形成してもよい。

【0024】(実施の形態5)図9(a)から図10(j)は、本発明の実施の形態5における製造方法の工程順断面図である。まず、半導体支持基板11、埋め込み酸化膜12およびシリコン薄膜13を有するSOI半導体基板[図9(a)]上に、約10nmの膜厚のダミーゲート酸化膜31、続いて、例えば、多結晶シリコン膜よ

りなる約100nmの膜厚のダミーゲート材料32を形成する〔図9(b)〕。その後、素子領域に該当する部分を残し、それ以外の領域のダミーゲート材料32、ダミーゲート酸化膜31およびシリコン薄膜13を選択的にエッチング除去して、素子分離溝21を形成する〔図9(c)〕。次に、STI埋め込み窒化膜15を望ましくは200nmから500nmの厚さに堆積する〔図9(d)〕。次に、この埋め込み窒化膜15をCMP法により平坦化し、さらにダミーゲート多結晶シリコン膜33を望ましくは50nmから200nmの膜厚になるように形成する〔図9(e)〕。続いて、ダミーゲート多結晶シリコン膜33およびダミーゲート材料32をゲート配線・ゲート電極形状に選択的にエッチングする〔図10(f)〕。その後、ソース・ドレイン領域(図示せず)をイオン注入法により形成した後、平坦化用酸化膜34をCVD法により望ましくは200nmから500nmの膜厚になるように堆積した後に、CMP法により上端部分を平坦化する〔図10(g)〕。

【0025】次に、ゲート形状に加工していた、ダミーゲート多結晶シリコン膜33およびダミーゲート材料32をプラズマエッチング法により除去し、露出したダミーゲート酸化膜31をフッ酸により選択的にエッチングして除去する〔図10(h)〕。次に、シリコン薄膜13の表面に、例えば、熱酸化法により、約2nmの膜厚のゲート酸化膜17を形成した後に、ゲート材料18を堆積する〔図10(i)〕。次に、CMP法を用いて、ゲート材料18の上端部分の平坦化を行なってゲート電極18aとゲート配線18bとを形成する〔図10(j)〕。この製造方法では、ダミーゲート酸化膜31の側壁部分は、STI埋め込み窒化膜15で覆われているため〔図9(d)ほか〕、ダミーゲート酸化膜31をフッ酸により除去するときにも〔図10(h)〕、このSTI埋め込み窒化膜15はフッ酸によりエッチングされることはない。すなわち、実施の形態1などと同様の効果を持つ。ここで、ゲート材料18としては多結晶シリコンだけでなく、金属系の材料を用いることもできる。このとき、TiNなどの金属系の材料を用いると、ゲート材料の仕事関数を可変させることができるため、しきい値電圧を制御できるという利点が生じる。このように、本発明はゲート電極を埋め込んで形成する、いわゆる、ダマシゲートプロセスにも適用することが可能となる。

【0026】(実施の形態6)次に、本発明の実施の形態6について、図11(a)から図12(i)の工程順断面図を参照して説明する。まず、半導体支持基板11、埋め込み酸化膜12およびシリコン薄膜13を有するSOI半導体基板〔図11(a)〕の上に、ゲート酸化膜17と、望ましくは50nmから200nmの膜厚の、例えば、多結晶シリコン膜よりなる第1ゲート材料18を形成する〔図11(b)〕。次に、素子領域に該当する部

分を除く第1のゲート材料18、ゲート酸化膜17およびシリコン薄膜13をエッチング除去して、素子分離溝21を形成する〔図11(c)〕。続いて、CVD法により、シリコン窒化膜16を望ましくは100nmから200nmの膜厚になるように堆積した〔図11(d)〕後、CVD法を用いて、STI埋め込み酸化膜22を成長させて素子分離溝21を埋設する〔図11(e)〕。次に、シリコン窒化膜16をストッパーとして、CMP法により上端部分の平坦化を行う〔図12(f)〕。続いて、異方性のプラズマエッチング法を用いてシリコン窒化膜16をエッチングして第1のゲート材料18を露出させる〔図12(g)〕。このとき、シリコン窒化膜16はその上端部分が除去されてシリコン薄膜13の側壁部分を覆うスペーサー窒化膜16bに加工される。

【0027】次に、CVD法により第2のゲート材料19を、例えば、50nmから200nmの膜厚になるように形成する〔図12(h)〕。続いて、第2のゲート材料19および第1のゲート材料18のパターニングを行なってゲート電極18a、ゲート配線19aを形成し、ソース・ドレイン領域20を形成する〔図12(i)〕。この方法ではSTIの埋め込み材料として、CMP法において加工性の優れた酸化膜を使用することができるという利点を有している。また、このほかにも、このCMP工程においてシリコン窒化膜22をストッパーとして使用することができるので、第1のゲート材料18の表面がCMPにさらされることがない。さらに、実施の形態4と同様に、第1のゲート材料18と埋め込み酸化膜22とが平坦化されているため、オーバーエッチングをする必要がなく、また、エッチングの残りが生じることもない。なお、本実施の形態においても、実施の形態3のように素子領域を島状に形成した後〔図11(c)〕、熱処理を行ってシリコン薄膜13などの側面にバッファ酸化膜を形成してもよい。

#### 【0028】

【発明の効果】本発明の半導体装置の製造方法によれば、素子領域端となるシリコン薄膜の側壁部分を窒化膜で覆うSTI構造をとっている。したがって、SOIMOSFETの形成工程において、フッ酸などによって酸化膜をエッチングするとき、シリコン薄膜の側壁部分を覆う絶縁膜がエッチングされることがなくシリコン薄膜の側壁部が露出されることがないため、寄生MOSトランジスタの形成を防止してリーク電流の発生を抑制することができる。そして、このことにより、シリコン薄膜の膜厚を100nm以下にしても特性に優れたMOSFETを形成することが可能となる。また、素子分離溝を埋め込む絶縁膜の表面高さがゲート電極の表面高さとはほぼ等しくかつその表面が平坦であるため、素子分離絶縁膜上のゲート材料のエッチング時にオーバーエッチングを行う必要がなく、また、電気的な短絡や断線を抑えて安定したゲート形成が可能となる。

15

【図面の簡単な説明】

【図1】本発明の実施の形態1の製造方法を示す工程順断面図（その1）。

【図2】本発明の実施の形態1の製造方法を示す工程順断面図（その2）。

【図3】本発明の実施の形態2の製造方法を示す工程順断面図（その1）。

【図4】本発明の実施の形態2の製造方法を示す工程順断面図（その2）。

【図5】本発明の実施の形態3の製造方法を示す工程順断面図（その1）。

【図6】本発明の実施の形態3の製造方法を示す工程順断面図（その2）。

【図7】本発明の実施の形態4の製造方法を示す工程順断面図（その1）。

【図8】本発明の実施の形態4の製造方法を示す工程順断面図である（その2）。

【図9】本発明の実施の形態5の製造方法を示す工程順断面図（その1）。

【図10】本発明の実施の形態5の製造方法を示す工程順断面図（その2）。

【図11】本発明の実施の形態6の製造方法を示す工程順断面図（その1）。

【図12】本発明の実施の形態6の製造方法を示す工程順断面図（その2）。

【図13】第1の従来例の素子間分離方法を示す工程順断面図（その1）。

【図14】第1の従来例の素子間分離方法を示す工程順断面図（その2）。

【図15】第2の従来例の断面図。

\* 30

16

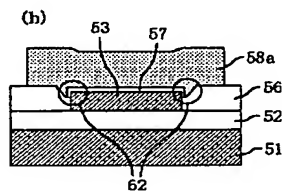
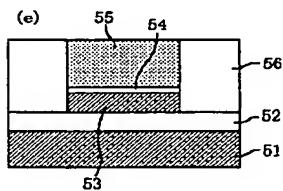
\* 【図16】第3の従来例の素子間分離方法を示す工程順断面図（その1）。

【図17】第3の従来例の素子間分離方法を示す工程順断面図（その2）。

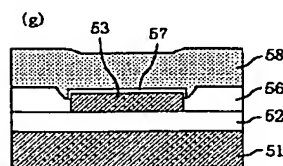
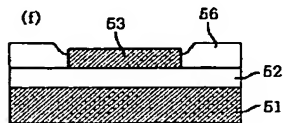
【符号の説明】

- 11、51 半導体支持基板
- 12、52 埋め込み酸化膜
- 13、53 シリコン薄膜
- 14、54 シリコン酸化膜
- 15 STI埋め込み窒化膜
- 16、55、60 シリコン窒化膜
- 16a、16b スペース窒化膜
- 17、57 ゲート酸化膜
- 18 第1のゲート材料
- 18a、19b、58a ゲート電極
- 18b、19a、30a ゲート配線
- 19 第2のゲート材料
- 20 ソース・ドレイン領域
- 21、59 素子分離溝
- 22、56 STI埋め込み酸化膜
- 23 バッファ酸化膜
- 30 第3のゲート材料
- 31、67 ダミーゲート酸化膜
- 32、68 ダミーゲート
- 33 ダミーゲート多結晶シリコン膜
- 34、70 平坦化用酸化膜
- 58 ゲート材料
- 61 シリコン酸化膜
- 62 異常形状

【図14】

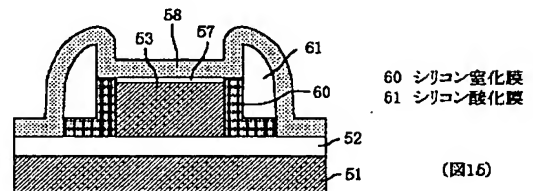


(図14)



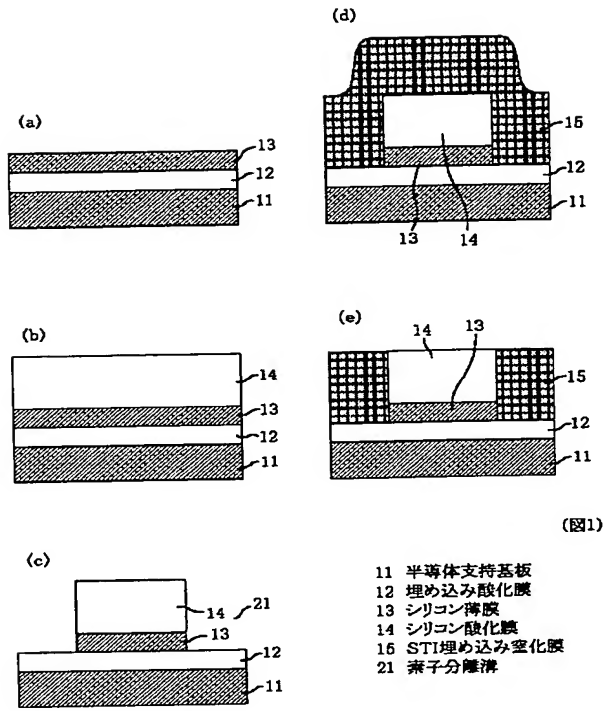
- 57 ゲート酸化膜
- 58 ゲート材料
- 58a ゲート電極
- 62 異常形状

【図15】

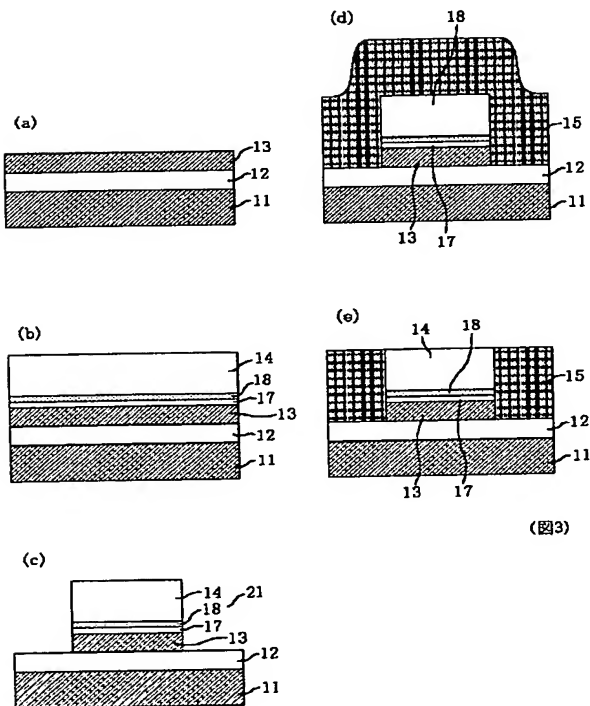


(図16)

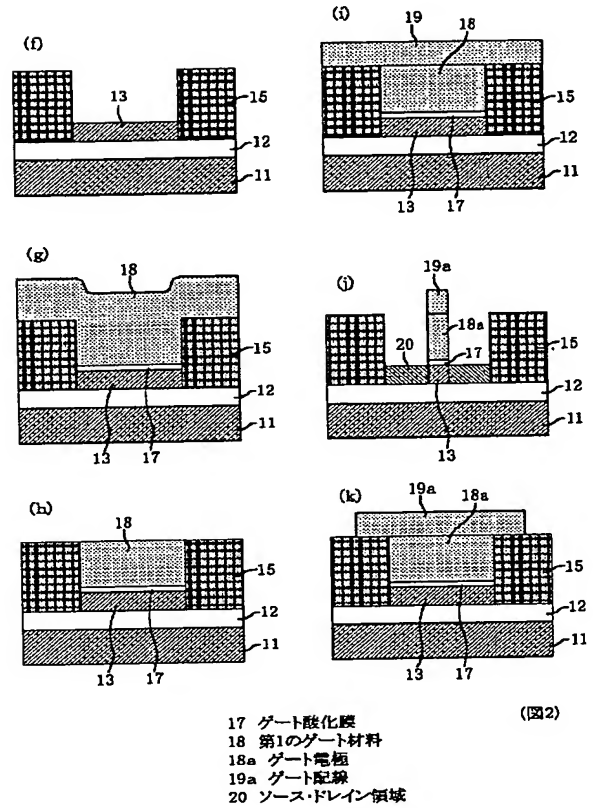
【図1】



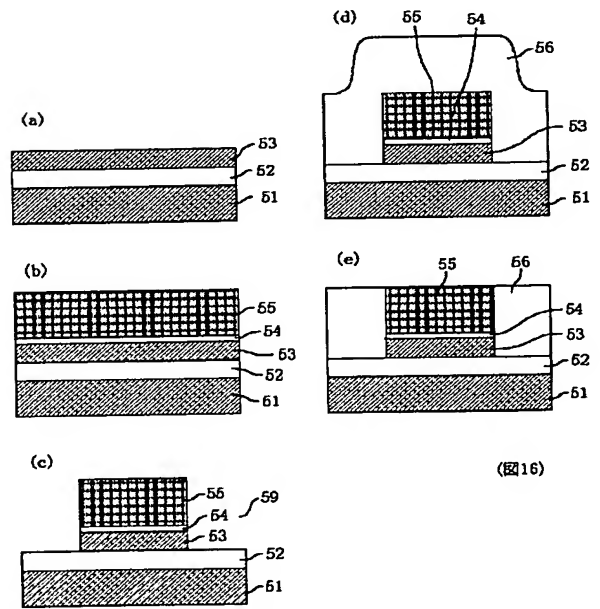
【図3】



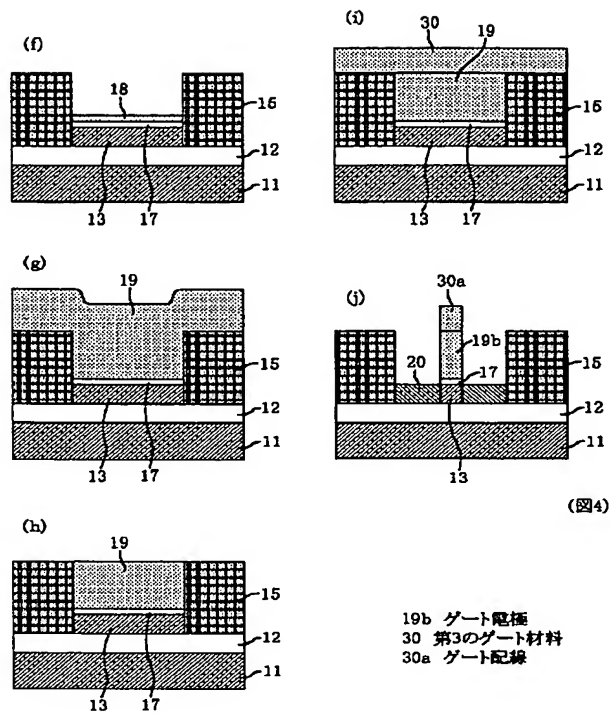
【図2】



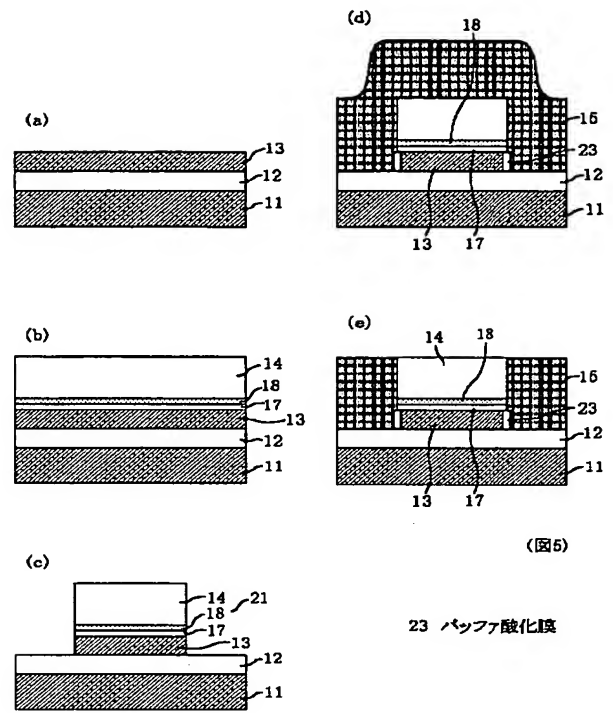
【図16】



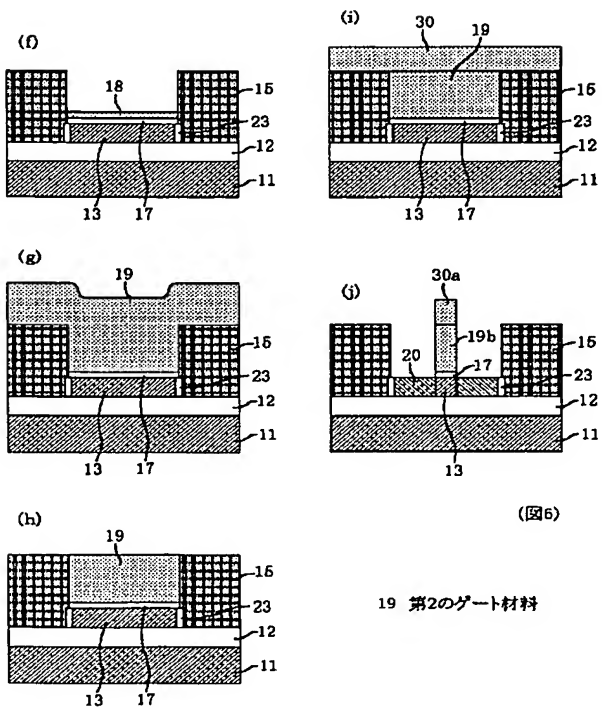
【図4】



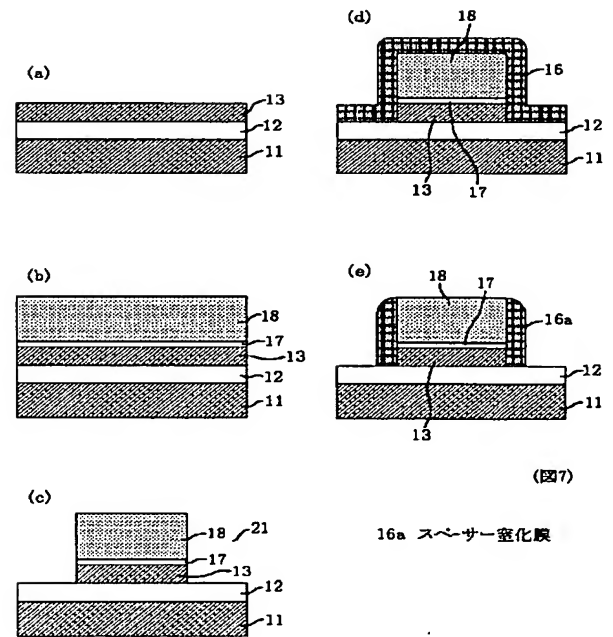
【図5】



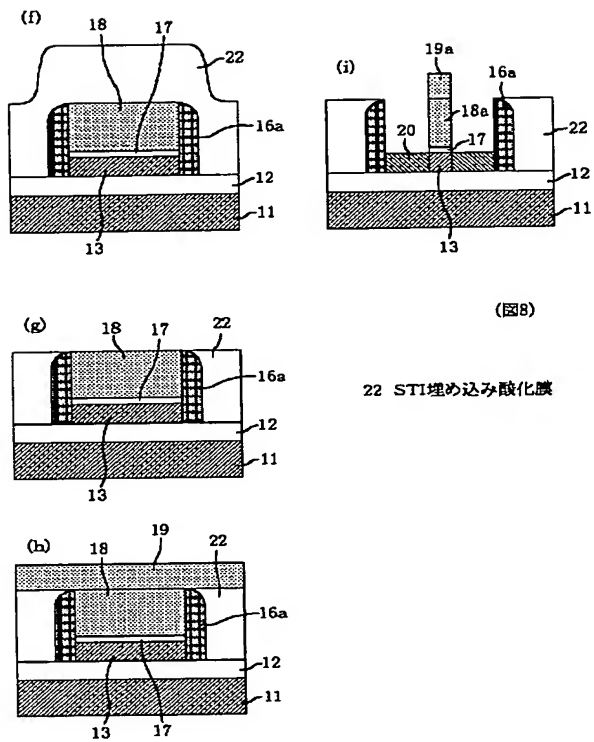
【図6】



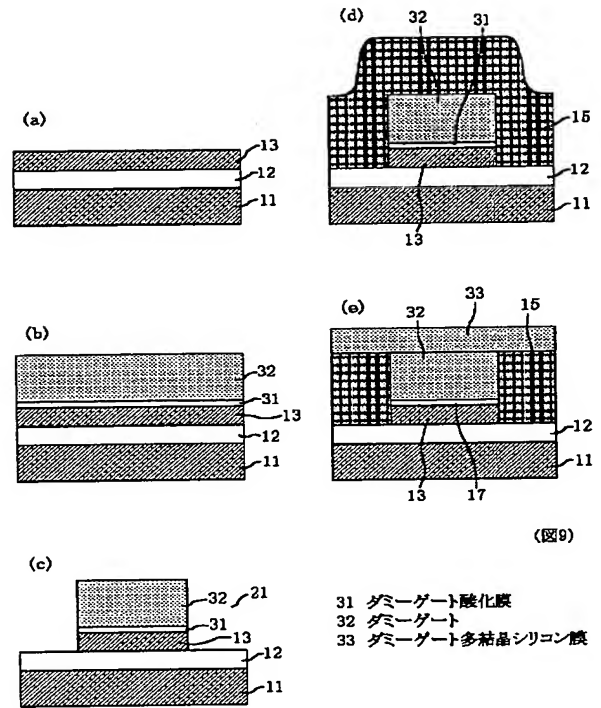
【図7】



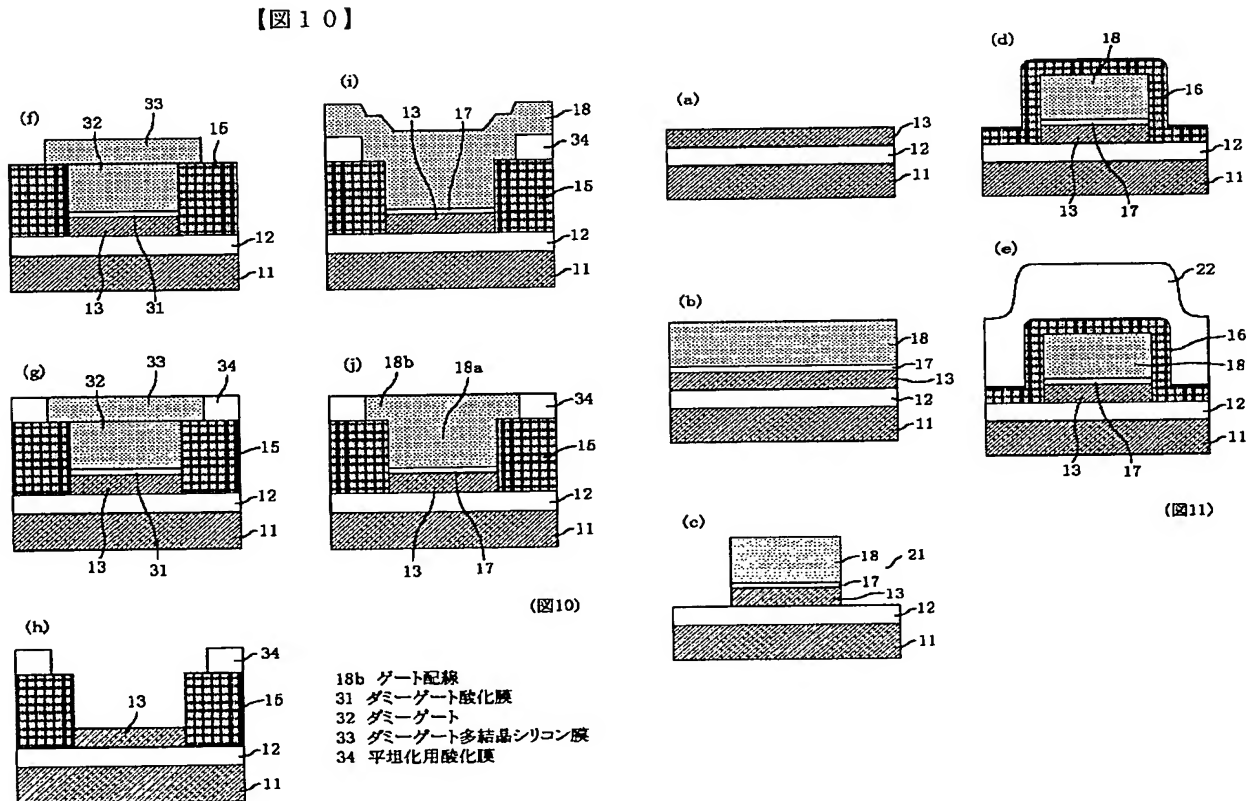
【図 8】



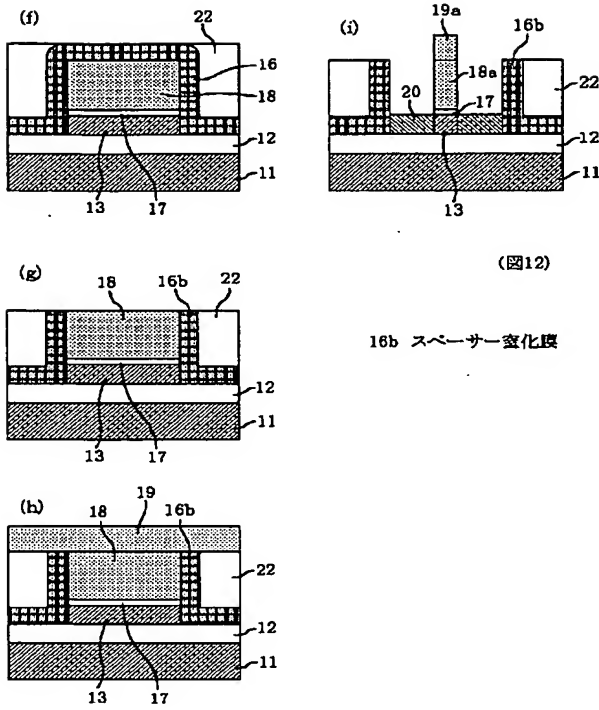
【図 9】



【図 11】

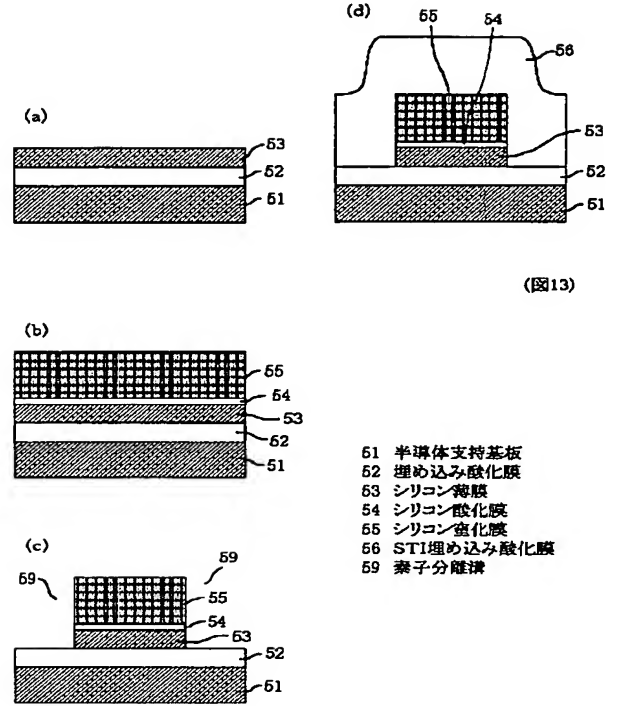


【図12】



(図12)

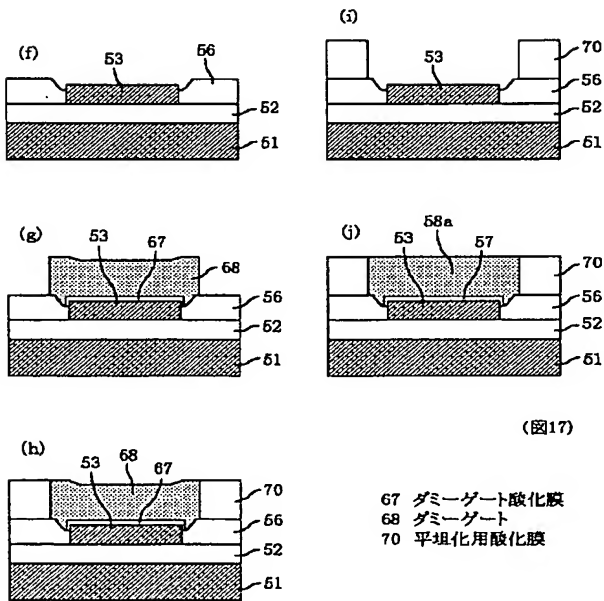
【図13】



(図13)

51 半導体支持基板  
52 埋め込み酸化膜  
53 シリコン薄膜  
54 シリコン酸化膜  
55 シリコン窒化膜  
56 STI埋め込み酸化膜  
59 素子分離溝

【図17】



(図17)



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L	27/08	H 0 1 L 29/78	6 1 7 J
		21/76	6 2 7 C
			L

(72)発明者	斎藤 幸重	F ターム(参考)	5F032 AA09 AA34 AA46 AA77 AA84
	東京都港区芝五丁目 7 番 1 号 日本電気株		BA01 BA05 CA17 DA28 DA30
	式会社内		DA33 DA78
(72)発明者	武村 久		5F048 AA04 AA07 AC01 BA16 BB05
	東京都港区芝五丁目 7 番 1 号 日本電気株		BB12 BG05 BG14 DA25 DA27
	式会社内		5F110 AA06 AA18 AA26 CC02 DD05
			DD13 EE01 EE09 EE14 EE15
			EE45 EE50 FF02 FF04 FF23
			GG02 GG25 HJ13 NN62 NN65
			QQ01 QQ19